

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

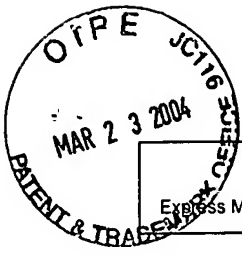
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



3-24-04

Express Mail Label No.

Dated: _____

Docket No.: 20046/0200847-US0
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Franz Hofmann et al.

Application No.: 10/779,557

Confirmation No.:

Filed: February 6, 2004

Art Unit: N/A

For: MEMORY CELL

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Germany	101 38 585.4	August 6, 2001

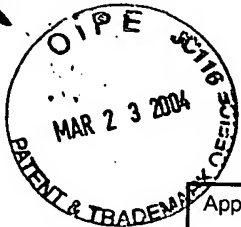
In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: March 23, 2004

Respectfully submitted,

By [Signature] ^{Firm/Barissan}
(53,970)
Laura C. Brutman

Registration No.: 38,395
DARBY & DARBY P.C.
P.O. Box 5257
New York, New York 10150-5257
(212) 527-7700
(212) 753-6237 (Fax)
Attorneys/Agents For Applicant



Application No. (if known): 10/779,557

Attorney Docket No.: 20046/0200847-US0

Certificate of Express Mailing Under 37 CFR 1.10

I hereby certify that this correspondence is being deposited with the United States Postal Service as Express Mail, Airbill No. _____ in an envelope addressed to:

EL 983945898-US

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

on March 23, 2004
Date


Signature

D. Davis

Typed or printed name of person signing Certificate

Note: Each paper must have its own certificate of mailing, or this certificate must identify each submitted paper.

Claim for Priority and Submission of Documents
DE 101 38 585.5
Return Receipt Postcard

Beschreibung

Speicherzelle

5 Die Erfindung betrifft eine Speicherzelle.

Computer mit Speicheranordnungen kommen bei den unterschiedlichsten Anwendungen zum Einsatz, sei es als Großrechner, als Personal Computer, in Waschmaschinen, in
10 Küchengeräten, in Kraftfahrzeugen, in Telefonen, in Anrufbeantwortern oder in sonstigen Anwendungen. Ein Computer ist hierbei im weitesten Sinne als eine elektronische Steuer- und/oder Recheneinrichtung zu verstehen.

15 Die Speicheranordnung des Computers dient zum dauerhaften oder zwischenzeitlichen Speichern von Daten, zum Beispiel von Parametern, die zum Betrieb des Computers erforderlich sind, oder von Rechenergebnissen, die beim Betrieb des Computers vom Computer erzeugt werden.

20

Die Speicheranordnung weist einen Speicher mit mindestens einer, in der Regel mit einer Mehrzahl von Speicherzellen auf. Jede Speicherzelle weist ein Speicherelement auf, in dem eine elektrische Ladungsmenge abspeicherbar ist, um so den
25 Speicherinhalt der Speicherzelle einzustellen.

Bei den Speicherzellen gibt es flüchtige und nichtflüchtige Speicherzellen. Bei einer flüchtigen Speicherzelle verbleibt ein in dem Speicherelement abgespeicherter Speicherinhalt für
30 typischerweise nur ungefähr eine Sekunde in dem Speicherelement. Der Speicherinhalt muss daher periodisch aufgefrischt werden. Bei einer nichtflüchtigen Speicherzelle verbleibt ein in dem Speicherelement abgespeicherter Speicherinhalt für eine Speicherzeit von in der Größenordnung
35 von Jahren dauerhaft in dem Speicherelement.

Eine nichtflüchtige Speicherzelle auf MOSFET-Basis (MOSFET = metal oxide semiconductor field effect transistor) basiert auf einem MOSFET mit einem Source-Bereich, einem Drain-Bereich, einem zwischen dem Source-Bereich und dem Drain-Bereich verlaufenden Kanalbereich, einer zum Steuern des Kanalbereichs angeordneten Gate-Elektrode (Steuergate) und einer zwischen der Gate-Elektrode (Steuergate) und dem Kanalbereich angeordneten Gateoxidschicht.

10 Bei der nichtflüchtigen Speicherzelle auf MOSFET-Basis wird die Gate-Elektrode als Steuergate verwendet. Zwischen dem Steuergate und der Gateoxidschicht über dem Kanalbereich ist ein Speicherelement zum Abspeichern eines Speicherinhalts der Speicherzelle vorgesehen. Das Speicherelement weist sowohl
15 zum Kanalbereich hin als auch zum Steuergate hin eine Potentialbarriere auf. Dadurch, dass an das Steuergate eine geeignete, betragsmäßig ausreichend hohe elektrische Spannung angelegt wird, sind elektrische Ladungsträger aus dem Kanalbereich in das Speicherelement ladbar oder aus dem
20 Speicherelement heraus in den Kanalbereich entladbar. Dadurch lässt sich ein Speicherinhalt der Speicherzelle wahlweise programmieren oder löschen.

25 Ein Beispiel für einen nichtflüchtigen Speicher ist der EEPROM (Electrically Erasable Programable Read Only Memory). Beim EEPROM lässt sich ein einprogrammierter Speicherinhalt durch Anlegen einer elektrischen Spannung wieder löschen.

30 Bei den nichtflüchtigen Speicherzellen auf MOSFET-Basis gibt es dem Aufbau nach floating gate Speicherzellen und MIOS-Speicherzellen (MIOS = metal insulator oxide semiconductor).

Bei einer floating gate Speicherzelle ist das Speicherelement durch ein metallisch leitfähiges floating gate gebildet.

35 Bei einer MIOS-Speicherzelle ist das Speicherelement aus einem Isolator-Speicherelement aus (mindestens) einem

Isolatormaterial gebildet. Der Speicherinhalt des Speicherelements ist durch eine Ladungsmenge von in dem Isolator-Speicherelement lokalisierten („getrappten“) elektrischen Ladungsträgern gebildet.

5

Zum Programmieren einer Speicherzelle auf MOSFET-Basis muss im Kanalbereich des MOSFET ein elektrischer Strom aufrechterhalten werden.

10 Damit eine Speicherzelle effizient eingesetzt und betrieben werden kann, wird angestrebt, den Stromverbrauch beim Programmieren der Speicherzelle zu verringern.

Aus [1] ist eine floating gate Speicherzelle bekannt. Die Speicherzelle aus [1] weist einen Source-Bereich, einen Drain-Bereich, einen Kanalbereich, eine Speicherelement-Anordnung mit einem floating gate und einem darüber angeordneten Steuergate sowie ein neben der Speicherelement-Anordnung vorgesehenes Source-seitiges seitliches Auswahl-Gate auf. Zum Programmieren der Speicherzelle aus [1] wird an das Auswahl-Gate eine vergleichsweise niedrige Spannung angelegt, um im Kanalbereich einen kleinen elektrischen Stromfluss zu erzeugen. An das Steuergate wird eine elektrische Spannung angelegt, die ausreichend hoch ist, um elektrische Ladungsträger in das floating gate zu laden. Die an das Auswahl-Gate angelegte elektrische Spannung kann bei der Speicherzelle aus [1] deutlich niedriger sein als die zum Laden des floating gate erforderliche Spannung. Dadurch ist eine Programmierung mit einem geringeren Strom als bei einer floating gate Speicherzelle ohne Auswahl-Gate möglich. Die Spannung für das Auswahl-Gate muss dabei andererseits ausreichend groß gewählt sein, dass elektrische Ladungsträger aus dem Source-Bereich in den Kanalbereich gelangen können, so dass zwischen dem Source-Bereich und dem Drain-Bereich ein durchgehender elektrisch leitfähiger Kanal ausgebildet wird.

15
20
25
30
35

Andererseits wird zur Erhöhung der Effizienz einer Speicherzelle oder einer Anordnung von Speicherzellen versucht, eine möglichst hohe Integrationsdichte zu erzielen, d.h. möglichst viele einzelne Speicherinhalte pro Fläche oder pro Volumen unterzubringen.

Hierzu wird typischerweise die Strukturgröße jeder einzelnen Speicherzelle verringert.

10 Der Erfindung liegt das Problem zugrunde, eine effiziente, stromsparende und zuverlässige Speicherzelle zu schaffen.

Das Problem wird gelöst durch eine Speicherzelle mit den Merkmalen gemäß dem unabhängigen Patentanspruch.

15

Geschaffen wird eine Speicherzelle mit:

 einem Substrat,

 einem im Substrat ausgebildeten Source-Bereich,

 einem im Substrat ausgebildeten Drain-Bereich,

20 einem zwischen dem Source-Bereich und dem Drain-Bereich verlaufenden Kanalbereich mit einer veränderbaren elektrischen Leitfähigkeit,

 einem Source-seitigen Steuergate, das sich zumindest teilweise über einem sich an den Source-Bereich anschließenden Source-seitigen Randabschnitt des Kanalbereichs erstreckt und zum Verändern der elektrischen Leitfähigkeit des Source-seitigen Randabschnitts ausgebildet ist,

25 einem Drain-seitigen Steuergate, das sich zumindest teilweise über einem sich an den Drain-Bereich anschließenden Drain-seitigen Randabschnitt des Kanalbereichs erstreckt und zum Verändern der elektrischen Leitfähigkeit des Drain-seitigen Randabschnitts ausgebildet ist,

30 einem zwischen dem Source-seitigen Steuergate und dem Drain-seitigen Steuergate angeordneten Injektionsgate, das sich über einem mittleren Abschnitt des Kanalbereichs erstreckt und zum Verändern der elektrischen Leitfähigkeit

des mittleren Abschnitts ausgebildet ist, wobei der mittlere Abschnitt sich zwischen dem Source-seitigen Randabschnitt und dem Drain-seitigen Randabschnitt des Kanalbereichs erstreckt,

einem Source-seitigen Speicherelement, das sich

5 zumindest zwischen dem Source-seitigen Randabschnitt und dem Source-seitigen Steuergate erstreckt, und

einem Drain-seitigen Speicherelement, das sich zumindest zwischen dem Drain-seitigen Randabschnitt und dem Drain-seitigen Steuergate erstreckt,

10 einer Gateoxidanordnung, die zumindest eine

Gateoxidschicht aufweist, die sich zwischen dem Substrat einerseits und dem Source-seitigen Steuergate, dem Drain-seitigen Steuergate und dem Injektionsgate andererseits erstreckt.

15

Im Source-seitigen Speicherelement und im Drain-seitigen Speicherelement lässt sich je ein gesonderter Speicherinhalt und somit je ein Bit an Daten abspeichern. Damit ist bei der Speicherzelle die Speicherkapazität im Vergleich zu einer Speicherzelle mit nur einem Speicherelement verdoppelt.

20

Die Speicherzelle lässt sich außerdem stromsparend und zuverlässig programmieren.

25

Die Speicherzelle wird nach dem folgenden Verfahren programmiert.

An den Source-Bereich wird eine (elektrische) Source-Spannung mit einem Source-Spannungs-Wert angelegt. An den Drain-Bereich wird eine (elektrische) Drain-Spannung mit einem Drain-Spannungs-Wert angelegt. Dabei sind der Source-Spannungs-Wert und der Drain-Spannungs-Wert unterschiedlich. Zwischen dem Source-Bereich und dem Drain-Bereich liegt somit eine Source-Drain-Spannung an, deren Wert gleich der

35

Differenz des Source-Spannungs-Werts und der Drain-Spannungs-Werts ist.

An das Injektionsgate ist eine elektrische Injektionsgate-Spannung mit einem Injektionsgate-Spannungswert angelegt. An das Source-seitige Steuergate ist eine elektrische Source-Steuer-gate-Spannung mit einem Source-Steuer-gate-Spannungswert
5 angelegt. An das Drain-seitige Steuergate ist eine elektrische Drain-Steuer-gate-Spannung mit einem Drain-Steuer-gate-Spannungswert angelegt. Dabei sind der Source-Steuer-gate-Spannungswert und der Drain-Steuer-gate-Spannungswert jeweils dem Betrag nach größer als der
10 Injektionsgate-Spannungswert.

Der Source-Steuer-gate-Spannungswert und der Drain-Steuer-gate-Spannungswert können hierbei gleich sein.

15 Zum Programmieren des Drain-seitigen Speicherelements wird also zwischen dem Source-Bereich und dem Drain-Bereich eine geeignete elektrische Spannung angelegt. Mittels des Source-seitigen Steuer-gates werden elektrische Ladungsträger vom Source-Bereich in den Source-seitigen Randabschnitt des
20 Kanalbereichs unter dem Source-seitigen Steuer-gate geladen. Dazu wird an das Source-seitige Steuer-gate eine betragsmäßig vergleichsweise hohe elektrische Spannung angelegt, wobei es noch nicht zu einem Tunnelprozess von Ladungsträgern in das Source-seitige Speicherelement kommt. An das Injektionsgate
25 wird eine betragsmäßig vergleichsweise niedrige elektrische Spannung angelegt. Dadurch gelangen nur wenige elektrische Ladungsträger in den mittleren Abschnitt des Kanalbereichs, so dass dort ein sehr geringer elektrischer Strom fließt. An das Drain-seitige Steuer-gate wird eine elektrische Spannung
30 angelegt ist, die ausreichend hoch ist, um elektrische Ladungsträger in das Drain-seitige Speicherelement zu laden. Folglich wird, entsprechend dem geringen elektrischen Strom im mittleren Kanalbereich, eine geringe Leistung verbraucht (Leistung = Strom * Spannung).

35 Bei der Speicherzelle kann aufgrund des Source-seitigen Steuer-gates der elektrische Strom im mittleren Kanalbereich

besonders gering gewählt werden, ohne dass dabei der Fluss des elektrischen Stroms im Kanalbereich zwischen dem Source-Bereich und dem Drain-Bereich unterbrochen wird. Somit ist die Speicherzelle besonders stromsparend programmierbar.

5

Zum Programmieren des Source-seitigen Speicherelements wird zwischen dem Source-Bereich und dem Drain-Bereich eine geeignete elektrische Source-Drain-Spannung angelegt, die im Vergleich zur Source-Drain-Spannung bei der Programmierung des Drain-seitigen Speicherelements vertauscht gepolt ist und betragsmäßig gleich groß sein kann. Falls die Source-Drain-Spannung betragsmäßig gleich groß ist, können die übrigen Spannungen gleich gewählt sein wie bei der Programmierung des Drain-seitigen Speicherelements.

10

15

Bei der Programmierung des Source-seitigen Speicherelements ist durch das Injektionsgate der Stromverbrauch besonders gering.

20 Das Speicherelement kann Siliziumnitrid aufweisen.

Alternativ oder zusätzlich kann das Speicherelement Siliziumdioxid oder ein anderes geeignetes Isolatormaterial aufweisen.

25

Das Speicherelement kann integrierter Teil einer ONO-Schicht sein, die aus einer ersten Siliziumdioxidschicht, einer auf der ersten Siliziumdioxidschicht ausgebildeten Siliziumnitridschicht und einer auf der Siliziumnitridschicht ausgebildeten zweiten Siliziumdioxidschicht ausgebildet ist.

30

Die Gateoxidschicht und die erste Siliziumdioxidschicht können als gesonderte Schichten ausgebildet sein. Alternativ kann die Gateoxidschicht mit der ersten Siliziumdioxidschicht einstückig ausgebildet sein.

35

Das Source-seitige Steuergate und das Drain-seitige Steuergate können gesondert kontaktiert sein. Dies ist vorteilhaft, falls an das Source-seitige Steuergate und das Drain-seitige Steuergate unterschiedliche elektrische Spannungen angelegt werden sollen.

Vorzugsweise sind das Source-seitige Steuergate und das Drain-seitige Steuergate miteinander elektrisch gekoppelt. In diesem Fall ist für das Source-seitige Steuergate und das Drain-seitige Steuergate zum Anlegen einer jeweiligen Spannung insgesamt nur eine Spannungsquelle erforderlich. Außerdem lässt sich auf diese Weise eine besonders einfache und damit effiziente Programmierung der Speicherzelle erreichen. Zum Beispiel kann zuerst das Drain-seitige Speicherelement programmiert werden, anschließend die Source-Drain-Spannung vertauscht gepolt werden, und danach ohne weitere Veränderungen das Source-seitige Speicherelement programmiert werden, wie weiter oben bereits beschrieben wurde. Alternativ kann zuerst das Source-seitige Speicherelement und danach das Drain-seitige Speicherelement programmiert werden.

Der Kanalbereich kann einen n-Kanal aufweisen. Alternativ kann der Kanalbereich einen p-Kanal aufweisen.

Ein erfindungsgemäße Speicheranordnung, die als EEPROM ausgebildet ist, weist mindestens eine Speicherzelle auf, die wie oben beschrieben aufgebaut ist.

Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert. Es zeigen:

Fig. 1 eine Speicherzelle gemäß einer ersten Ausführungsform der Erfindung, bei der das Drain-seitige Speicherelement programmiert wird.

Fig. 2 die Speicherzelle aus Fig. 1, bei der die Speicherinhalte des Source-seitigen Speicherelements und des Drain-seitigen Speicherelements gelöscht werden.

5 Fig. 3a eine Speicherzelle gemäß einer zweiten Ausführungsform der Erfindung im Querschnitt in einem ersten Fertigungszustand während ihrer Herstellung.

10 Fig. 3b die Speicherzelle gemäß der zweiten Ausführungsform der Erfindung im Querschnitt in einem zweiten Fertigungszustand während ihrer Herstellung.

15 Fig. 3c die Speicherzelle gemäß der zweiten Ausführungsform der Erfindung im Querschnitt in einem dritten Fertigungszustand während ihrer Herstellung.

20 Fig. 3d die Speicherzelle gemäß der zweiten Ausführungsform der Erfindung im Querschnitt in einem vierten Fertigungszustand während ihrer Herstellung.

Fig. 3e die Speicherzelle gemäß der zweiten Ausführungsform der Erfindung im Querschnitt in vollendetem Fertigungszustand.

25 Fig. 3f zwei erfindungsgemäße Speicherzellen wie die in Fig. 3e gezeigte von oben.

30 Fig. 1 zeigt eine Speicherzelle gemäß einer ersten Ausführungsform der Erfindung, bei der das Drain-seitige Speicherelement programmiert wird.

Die Speicherzelle aus Fig. 1 weist ein Substrat 100 auf, einen im Substrat 100 ausgebildeten n^+ -dotierten Source-Bereich 101, einen im Substrat 100 ausgebildeten n^+ -dotierten Drain-Bereich 102 und einen zwischen dem Source-Bereich 101 und dem Drain-Bereich 102 verlaufenden n-Typ Kanalbereich 103 mit einer veränderbaren elektrischen Leitfähigkeit.

Die Speicherzelle weist weiter ein Source-seitiges Steuergate 104 auf, das sich zumindest teilweise über einem sich an den Source-Bereich 101 anschließenden Source-seitigen

5 Randabschnitt 105 des Kanalbereichs 103 erstreckt und zum Verändern der elektrischen Leitfähigkeit des Source-seitigen Randabschnitts 105 ausgebildet ist.

Die Speicherzelle weist außerdem ein Drain-seitiges

10 Steuergate 106 auf, das sich zumindest teilweise über einem sich an den Drain-Bereich 102 anschließenden Drain-seitigen Randabschnitt 107 des Kanalbereichs 103 erstreckt und zum Verändern der elektrischen Leitfähigkeit des Drain-seitigen Randabschnitts 107 ausgebildet ist.

15

Zwischen dem Source-seitigen Steuergate 104 und dem Drain-seitigen Steuergate 106 ist ein Injektionsgate 108 angeordnet, das sich über einem mittleren Abschnitt 109 des Kanalbereichs 103 erstreckt und zum Verändern der

20 elektrischen Leitfähigkeit des mittleren Abschnitts 109 ausgebildet ist. Der mittlere Abschnitt 109 erstreckt sich dabei zwischen dem Source-seitigen Randabschnitt 105 und dem Drain-seitigen Randabschnitt 107 des Kanalbereichs 103.

25

Die Speicherzelle weist weiter ein Source-seitiges Speicherelement 110 aus Siliziumnitrid auf, das sich zwischen dem Source-seitigen Steuergate 104 einerseits und dem Injektionsgate 108, dem Source-seitigen Randabschnitt 105 sowie dem Source-Bereich 101 andererseits erstreckt.

30

Weiter weist die Speicherzelle ein Drain-seitiges Speicherelement 111 aus Siliziumnitrid auf, das sich zwischen dem Drain-seitigen Steuergate 106 einerseits und dem Injektionsgate 108, dem Drain-seitigen Randabschnitt 107

35 sowie dem Drain-Bereich 102 andererseits erstreckt.

Die Speicherzelle weist weiter eine Gateoxidanordnung 112 aus Siliziumdioxid auf. Die Gateoxidanordnung 112 weist eine Gateoxidschicht 113 auf, die sich zwischen dem Substrat 100 einerseits und dem Source-seitigen Steuergate 104, dem Drain-seitigen Steuergate 106 und dem Injektionsgate 108 andererseits erstreckt. Zwischen dem Source-seitigen Steuergate 104 und dem Source-seitigen Speicherelement 110, zwischen dem Source-seitigen Speicherelement 110 und dem Injektionsgate 108, zwischen dem Injektionsgate 108 und dem Drain-seitigen Speicherelement 111 sowie zwischen dem Drain-seitigen Speicherelement 111 und dem Drain-seitigen Steuergate 106 ist jeweils eine Schicht aus Siliziumdioxid vorgesehen, wobei diese Schichten aus Siliziumdioxid einen Teil der Gateoxidanordnung 112 bilden und mit der Gateoxidschicht 113 einstückig ausgebildet sind.

Im folgenden wird der Vorgang des Programmierens des Drain-seitigen Speicherelements 106 beschrieben.

An den Source-Bereich 101 wird eine elektrische Spannung von 0 V angelegt. An den Drain-Bereich wird eine elektrische Spannung von 5 V angelegt. An das Source-seitige Steuergate 104 und an das Drain-seitige Steuergate 105 wird mittels einer gemeinsamen Spannungsquelle eine elektrische Spannung von 10 V angelegt. An das Injektionsgate 108 wird eine elektrische Spannung von 1,5 V angelegt. Hierdurch werden elektrische Ladungsträger (Elektronen) vom Source-Bereich 101 in den Source-seitigen Randabschnitt 105 des Kanalbereichs 103 injiziert. Aufgrund der niedrigeren Spannung am Injektionsgate 108 fließt im mittleren Abschnitt 109 des Kanalbereichs 103 nur ein geringer Strom. Aufgrund der hohen Spannung am Drain-seitigen Steuergate 106 werden elektrische Ladungsträger (Elektronen) in das Drain-seitige Speicherelement 111 geladen und dort lokalisiert.

Eine Speicherzelle gemäß einer alternativen Ausführungsform der Erfindung weist ein p^+ -dotierten Source-Bereich, einen

p⁺-dotierten Drain-Bereich und einen zwischen dem Source-Bereich und dem Drain-Bereich verlaufenden p-Typ Kanalbereich mit einer veränderbaren elektrischen Leitfähigkeit auf.

- 5 Fig. 2 zeigt die Speicherzelle aus Fig. 1, bei der die Speicherinhalte des Source-seitigen Speicherelements 110 und des Drain-seitigen Speicherelements 111 gelöscht werden.

An den Source-Bereich 101 und an den Drain-Bereich 102 wird
10 die gleiche positive elektrische Spannung von 5 V angelegt.
An das Source-seitige Steuergate 104 und an das Drain-seitige
Steuergate 106 wird die gleiche negative elektrische Spannung
von -5 V angelegt. An das Injektionsgate 108 wird eine
elektrische Spannung von 0 V angelegt. Dadurch werden Löcher
15 aus dem Kanalbereich 103 in das Source-seitige
Speicherelement 110 geladen. Diese Löcher rekombinieren mit
im Source-seitigen Speicherelement 110 lokalisierten
negativen elektrischen Ladungsträgern. Dadurch wird die
negative elektrische Ladung der im Source-seitigen
20 Speicherelement 110 lokalisierten negativen Ladungsträger
kompensiert und somit eine Löschung des Speicherinhalts im
Source-seitigen Speicherelement 110 bewirkt. In analoger
Weise werden Löcher aus dem Kanalbereich 103 in das Drain-
seitige Speicherelement 111 geladen. Dadurch wird die
25 negative elektrische Ladung der im Drain-seitigen
Speicherelement 111 lokalisierten elektrischen Ladungsträgern
kompensiert und somit eine Löschung des Speicherinhalts im
Drain-seitigen Speicherelement 111 bewirkt. Zur zusätzlichen
Unterstützung der Entladung der Speicherelemente 110, 111
30 kann an das Injektionsgate 108 alternativ eine negative
elektrische Spannung angelegt sein.

Zum Auslesen des im Source-seitigen Speicherelement 110
gespeicherten Speicherinhalts (Bits) kann zwischen dem
35 Source-Bereich 101 (0 V) und dem Drain-Bereich 102 (1,2 V)
eine elektrische Spannung von 1,2 V angelegt werden. An das
Source-seitige Steuergate 104, an das Drain-seitige

Steuer gate 106 und an das Injektions gate 108 wird dann jeweils eine Spannung von ungefähr 2 V angelegt. Zum Auslesen des im Drain-seitigen Speicherelement 111 gespeicherten Speicherinhalts (Bits) wird zwischen dem Source-Bereich 101 (1,2 V) und dem Drain-Bereich 102 (0 V) eine elektrische Spannung von -1,2 V angelegt. Die Spannungen am Source-seitigen Steuer gate 104, am Drain-seitigen Steuer gate 106 und am Injektions gate 108 betragen ebenfalls 2 V, d.h. es wird nur die Source-Drain-Spannung vertauscht gepolt.

In der folgenden Tabelle 1 sind typische elektrische Spannungen angegeben, die an die unterschiedlichen Elemente der Speicherzelle anzulegen sind und die in der angegebenen Kombination zum Programmieren, Löschen bzw. Auslesen der Speicherzelle geeignet sind.

Tabelle 1:

	Prog. Drain 111	Prog. Source 110	Löschen	Lesen Source 110	Lesen Drain 111
Drain 102	+5 V	0 V	+5 V	+1,2 V	0 V
Steuer gate 104, 106	+10 V	+10 V	-5 V	+2 V	+2 V
Injektions gate 108	+1,5 V	+1,5 V	0 V	+2 V	+2 V
Source 101	0 V	+5 V	+5 V	0 V	+1,2 V

Im folgenden wird unter Bezugnahme auf Fig. 3a bis 3f ein Verfahren zum Herstellen einer erfindungsgemäßen Speicherzelle beschrieben.

Fig. 3a zeigt eine Speicherzelle gemäß einer zweiten Ausführungsform der Erfindung im Querschnitt in einem ersten Fertigungszustand während ihrer Herstellung.

Als Ausgangsmaterial für die Speicherzelle wird ein p-Typ Substrat 300 verwendet. Auf dem Substrat 300 wird eine 10 nm dicke Gateoxidschicht 301 ausgebildet. Auf der

5 Gateoxidschicht 301 wird eine Injektionsgate-Schicht mit einer Schichtabfolge von nacheinander Polysilizium 302a, Wolframsilizid 302b, TEOS (Tetra-Ethyl-Ortho-Silicate) 302c ausgebildet. Die Injektionsgate-Schicht wird fotolithografisch strukturiert (Fotolithografie und
10 anschließendes Ätzen der Injektionsgate-Schicht), und anschließend wird der Fotolithografie-Lack gestrippt (entfernt), so dass das Injektionsgate 302 ausgebildet wird und somit die in Fig. 3a gezeigte Struktur ausgebildet wird.

15 Anschließend wird, wie in Fig. 3b gezeigt ist, auf der Struktur aus Fig. 3a eine Siliziumnitridschicht abgeschieden. Die Siliziumnitridschicht wird zurückgeätzt, so dass seitlich des Injektionsgate 302 Nitrid-Spacer 303 verbleiben und die in Fig. 3b gezeigte Struktur ausgebildet wird.

20

An der Struktur aus Fig. 3b wird ein Arsen- Implantationsschritt durchgeführt, bei dem ein Source-Bereich 304 und ein Drain-Bereich 305 ausgebildet werden, wie in Fig. 3c gezeigt ist. Zwischen dem Source-Bereich 304 und dem
25 Drain-Bereich 305 erstreckt sich ein Kanalbereich.

Nachfolgend wird über dem Source-Bereich 304 und dem Drain-Bereich 305 mittels Oxidation je eine Schicht aus Dickoxid 306 ausgebildet, so dass die in Fig. 3c gezeigte Struktur ausgebildet wird.

30

Nun werden die Nitrid-Spacer 303 durch einen Nassätzschritt entfernt. Eine Siliziumdioxidschicht wirkt bei diesem Nassätzschritt als Ätzstoppschicht, so dass die Gateoxidschicht 301 nicht angegriffen wird und die in Fig. 3d
35 gezeigte Struktur ausgebildet wird.

Wie in Fig. 3e gezeigt ist, wird ausgehend von der Struktur aus Fig. 3d zunächst ein Siliziumdioxid-Ätzschritt durchgeführt, bei dem die Gateoxidschicht 301 in Bereichen 307 neben dem Injektionsgate 302 entfernt wird (und das
5 Dickoxid 306 ausgedünnt wird). Anschließend wird auf der Oberfläche der teilfertigen Struktur eine untere Oxidschicht 308 aus Siliziumdioxid ausgebildet. Auf der unteren Oxidschicht 308 wird eine Speicherelement-Schicht 309 aus Siliziumnitrid ausgebildet. Auf der Speicherelement-Schicht
10 309 wird eine obere Oxidschicht 310 aus Siliziumdioxid ausgebildet. Die untere Oxidschicht 308, die Speicherelement-Schicht 309 und die obere Oxidschicht 310 bilden in den Bereichen 307 neben dem Injektionsgate 302 jeweils eine ONO-Schicht (ONO = Oxid-Nitrid-Oxid), so dass ein Source-seitiges
15 Speicherelement 311 und ein Drain-seitiges Speicherelement 312 ausgebildet werden. Das Source-seitige Speicherelement 311 und das Drain-seitige Speicherelement 312 sind jeweils aus der Speicherelement-Schicht 309 aus Siliziumnitrid gebildet und auf der einen Seite von der unteren Oxidschicht
20 308 und auf der anderen Seite von der oberen Oxidschicht 310 begrenzt.

Auf der oberen Oxidschicht 310 wird eine Polysiliziumschicht 313 ausgebildet, die in situ dotiert wird. Auf der
25 Polysiliziumschicht 313 wird eine Wolframsilizidschicht 314 ausgebildet. Die Polysiliziumschicht 313 und die Wolframsilizidschicht 314 werden fotolithografisch strukturiert (Fotolithografie und anschließendes Ätzen der Schichten 313, 314), und anschließend wird der
30 Fotolithografie-Lack gestrippt (entfernt). Aus der Polysiliziumschicht 313 und der Wolframschicht 314 werden so ein Source-seitiges Steuergate 315 und ein Drain-seitiges Steuergate 316 ausgebildet. Das Source-seitige Steuergate 315 und das Drain-seitige Steuergate 316 sind miteinander
35 elektrisch gekoppelt.

Fig. 3e zeigt die fertige Speicherzelle im Querschnitt.

Fig. 3f zeigt zur weiteren Veranschaulichung zwei nebeneinander angeordnete erfindungsgemäße Speicherzellen wie die in Fig. 3e gezeigte von oben.

5

Bei alternativen Ausführungsformen der erfindungsgemäßen Speicherzelle ist das Substrat 100, 300 ein n-Substrat. In diesem Fall weist der Kanalbereich einen p-Kanal auf.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

10

[1] K. Naruke, S. Yamada, E. Obi, S. Taguchi, and M. Wada,
"A new flash-erase EEPROM cell with a sidewall select-gate on
its source side", Tech. Digest, 1989, IEDM, pp. 25.7.1-25.7.4

Patentansprüche

1. Speicherzelle mit:

einem Substrat,

5 einem im Substrat ausgebildeten Source-Bereich,

einem im Substrat ausgebildeten Drain-Bereich,

einem zwischen dem Source-Bereich und dem Drain-Bereich
verlaufenden Kanalbereich mit einer veränderbaren
elektrischen Leitfähigkeit,

10 einem Source-seitigen Steuergate, das sich zumindest
teilweise über einem sich an den Source-Bereich

anschließenden Source-seitigen Randabschnitt des
Kanalbereichs erstreckt und zum Verändern der elektrischen
Leitfähigkeit des Source-seitigen Randabschnitts ausgebildet
15 ist,

einem Drain-seitigen Steuergate, das sich zumindest
teilweise über einem sich an den Drain-Bereich anschließenden
Drain-seitigen Randabschnitt des Kanalbereichs erstreckt und
zum Verändern der elektrischen Leitfähigkeit des Drain-
20 seitigen Randabschnitts ausgebildet ist,

einem zwischen dem Source-seitigen Steuergate und dem
Drain-seitigen Steuergate angeordneten Injektionsgate, das
sich über einem mittleren Abschnitt des Kanalbereichs
erstreckt und zum Verändern der elektrischen Leitfähigkeit
25 des mittleren Abschnitts ausgebildet ist, wobei der mittlere
Abschnitt sich zwischen dem Source-seitigen Randabschnitt und
dem Drain-seitigen Randabschnitt des Kanalbereichs erstreckt,

einem Source-seitigen Speicherelement, das sich
zumindest zwischen dem Source-seitigen Randabschnitt und dem
30 Source-seitigen Steuergate erstreckt, und

einem Drain-seitigen Speicherelement, das sich zumindest
zwischen dem Drain-seitigen Randabschnitt und dem Drain-
seitigen Steuergate erstreckt,

einer Gateoxidanordnung, die zumindest eine
35 Gateoxidschicht aufweist, die sich zwischen dem Substrat
einerseits und dem Source-seitigen Steuergate, dem Drain-

seitigen Steuergate und dem Injektionsgate andererseits erstreckt.

2. Speicherzelle nach Anspruch 1,
5 bei der das Speicherelement Siliziumnitrid aufweist.
3. Speicherzelle nach Anspruch 1 oder 2,
bei der das Speicherelement Siliziumdioxid aufweist.
- 10 4. Speicherzelle nach einem der Ansprüche 1 bis 3,
bei der das Speicherelement integrierter Teil einer ONO-Schicht ist, die aus einer ersten Siliziumdioxidschicht, einer auf der ersten Siliziumdioxidschicht ausgebildeten Siliziumnitridschicht und einer auf der Siliziumnitridschicht
15 ausgebildeten zweiten Siliziumdioxidschicht ausgebildet ist.
5. Speicherzelle nach Anspruch 4,
bei der die Gateoxidschicht mit der ersten Siliziumdioxidschicht einstückig ausgebildet ist.
20
6. Speicherzelle nach einem der Ansprüche 1 bis 5,
bei der das Source-seitige Steuergate und das Drain-seitige Steuergate miteinander elektrisch gekoppelt sind.
- 25 7. Speicherzelle nach einem der Ansprüche 1 bis 6,
bei der der Kanalbereich einen n-Kanal aufweist.
8. Speicherzelle nach einem der Ansprüche 1 bis 6,
bei der der Kanalbereich einen p-Kanal aufweist.
30
9. Verfahren zum Programmieren einer Speicherzelle nach einem der Ansprüche 1 bis 8,
bei dem
an den Source-Bereich eine elektrische Source-Spannung mit einem Source-Spannungs-Wert angelegt wird
35 und an den Drain-Bereich eine elektrische Drain-Spannung mit einem Drain-Spannungs-Wert angelegt wird, wobei der

20

Source-Spannungs-Wert und der Drain-Spannungs-Wert unterschiedlich sind,

an das Injektionsgate eine elektrische Injektionsgate-Spannung mit einem Injektionsgate-Spannungswert angelegt ist und

an das Source-seitige Steuergate eine elektrische Source-Steuergate-Spannung mit einem Source-Steuergate-Spannungswert angelegt ist und an das Drain-seitige Steuergate eine elektrische Drain-Steuergate-Spannung mit einem Drain-Steuergate-Spannungswert angelegt ist,

wobei der Source-Steuergate-Spannungswert und der Drain-Steuergate-Spannungswert jeweils dem Betrag nach größer sind als der Injektionsgate-Spannungswert.

10. Verfahren nach Anspruch 9,

bei dem der Source-Steuergate-Spannungswert und der Drain-Steuergate-Spannungswert gleich sind.

Zusammenfassung

Speicherzelle

- 5 Eine Speicherzelle weist auf: einen Source-Bereich, einen Drain-Bereich, ein Source-seitiges Steuergate, ein Drain-seitiges Steuergate, ein zwischen dem Source-seitigen Steuergate und dem Drain-seitigen Steuergate angeordnetes Injektionsgate, ein beim Source-seitigen Steuergate
10 angeordnetes Source-seitiges Speicherelement und ein beim Drain-seitigen Steuergate angeordnetes Drain-seitiges Speicherelement. Zum Programmieren der Speicherzelle wird an das Injektionsgate eine niedrige und an die Steuergates eine hohe elektrische Spannung angelegt.

15

Signifikante Figur 3e

Bezugszeichenliste

Fig. 1

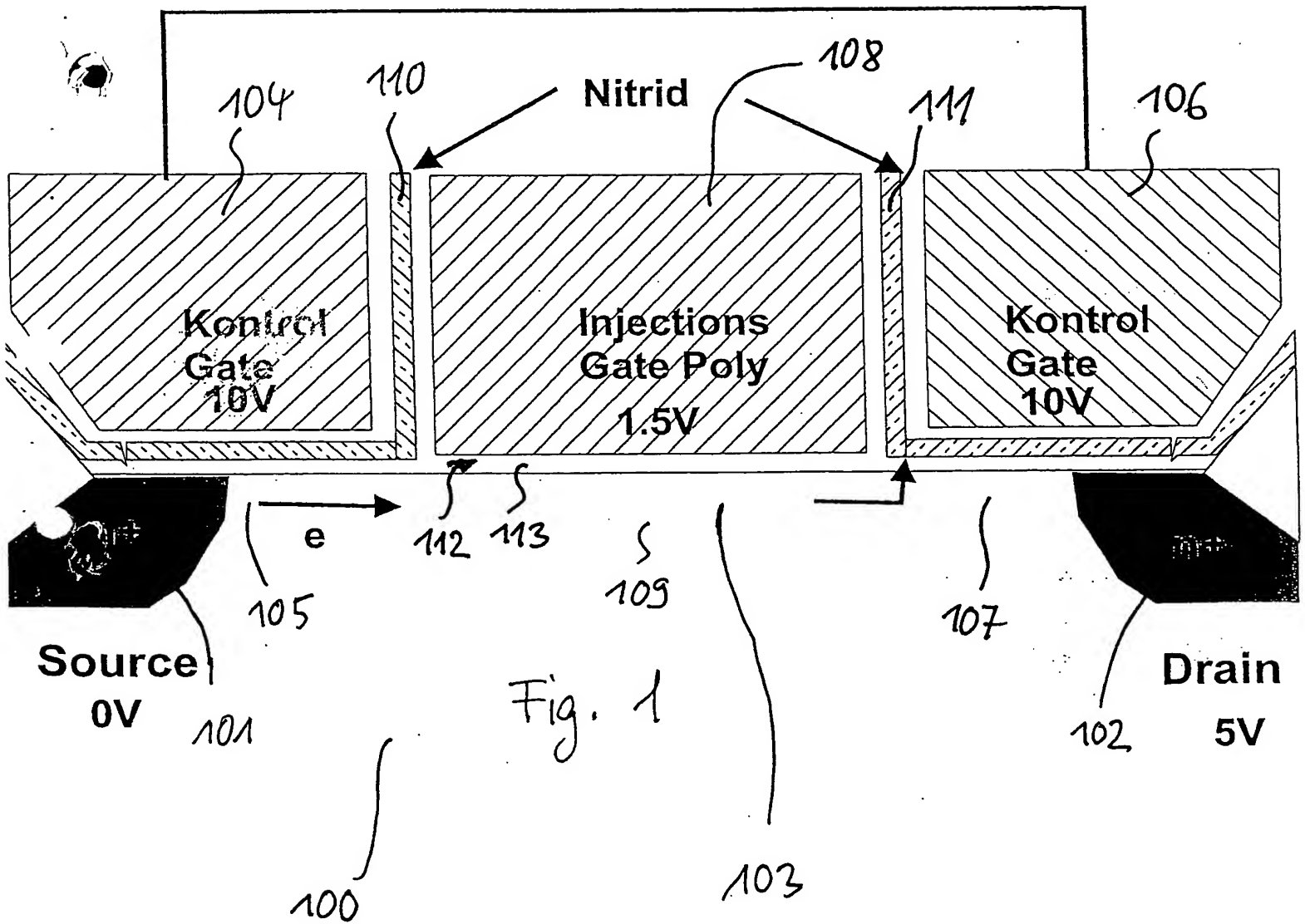
100	Substrat
101	Source-Bereich
102	Drain-Bereich
103	Kanalbereich
104	Source-seitiges Steuergate
105	Source-seitiger Randabschnitt des Kanalbereichs 103
106	Drain-seitiges Steuergate
107	Drain-seitiger Randabschnitt des Kanalbereichs 103
108	Injektionsgate
109	mittlerer Abschnitt des Kanalbereichs 103
110	Source-seitiges Speicherelement
111	Drain-seitiges Speicherelement
112	Gateoxidanordnung
113	Gateoxidschicht

Fig. 3

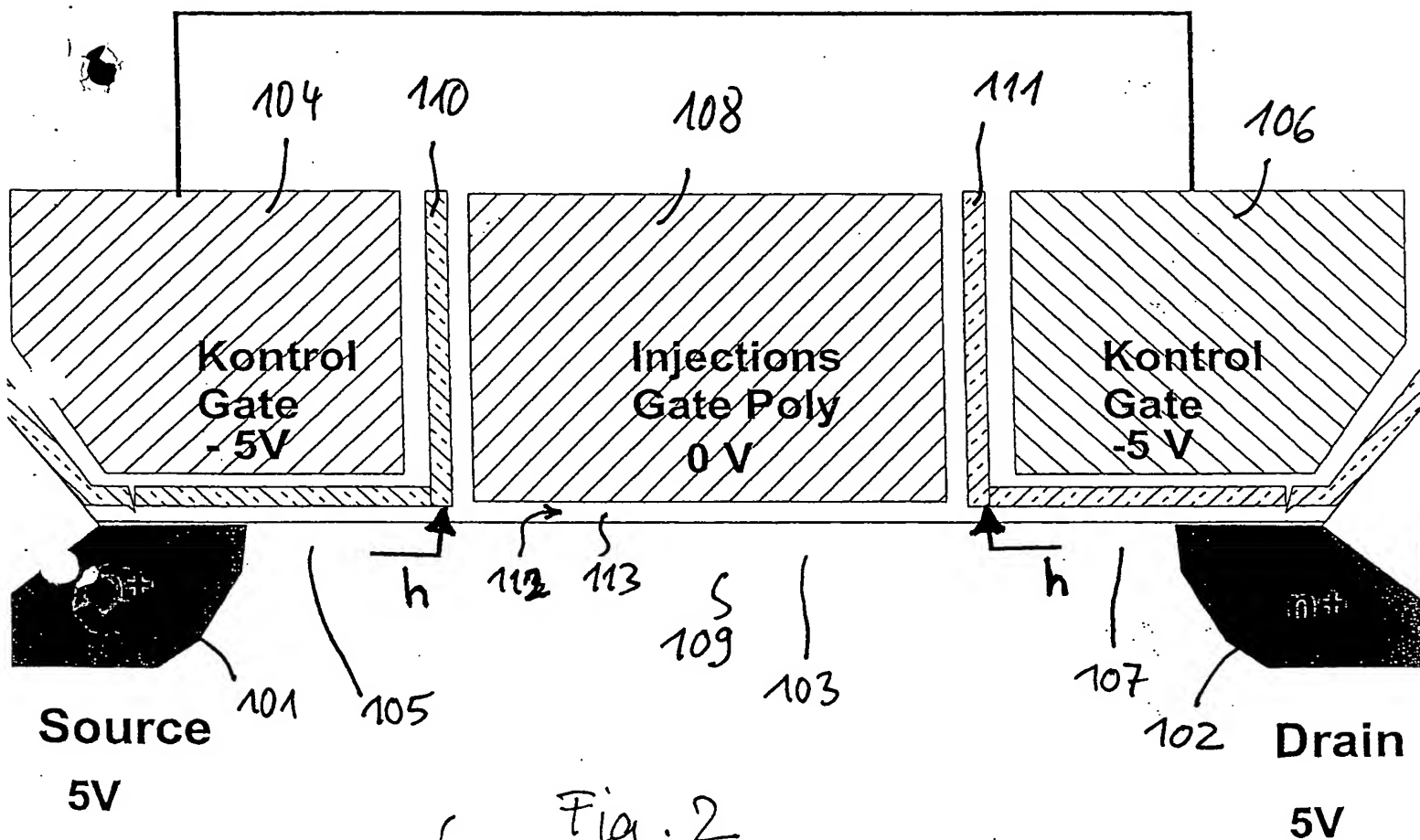
300	Substrat
301	Gateoxidschicht
302	Injektionsgate:
	302a Polysilizium
	302b Wolfram
	302c TEOS
303	Nitrid-Spacer
304	Source-Bereich
305	Drain-Bereich
306	Dickoxid
307	Bereiche neben dem Injektionsgate
308	untere Oxidschicht
309	Speicherelement-Schicht

- 310 obere Oxidschicht
- 311 Source-seitiges Speicherelement
- 312 Drain-seitiges Speicherelement
- 313 Polysiliziumschicht
- 314 Wolframschicht
- 315 Source-seitiges Steuergate
- 316 Drain-seitiges Steuergate

Programmierung rechts



Erase



3/8

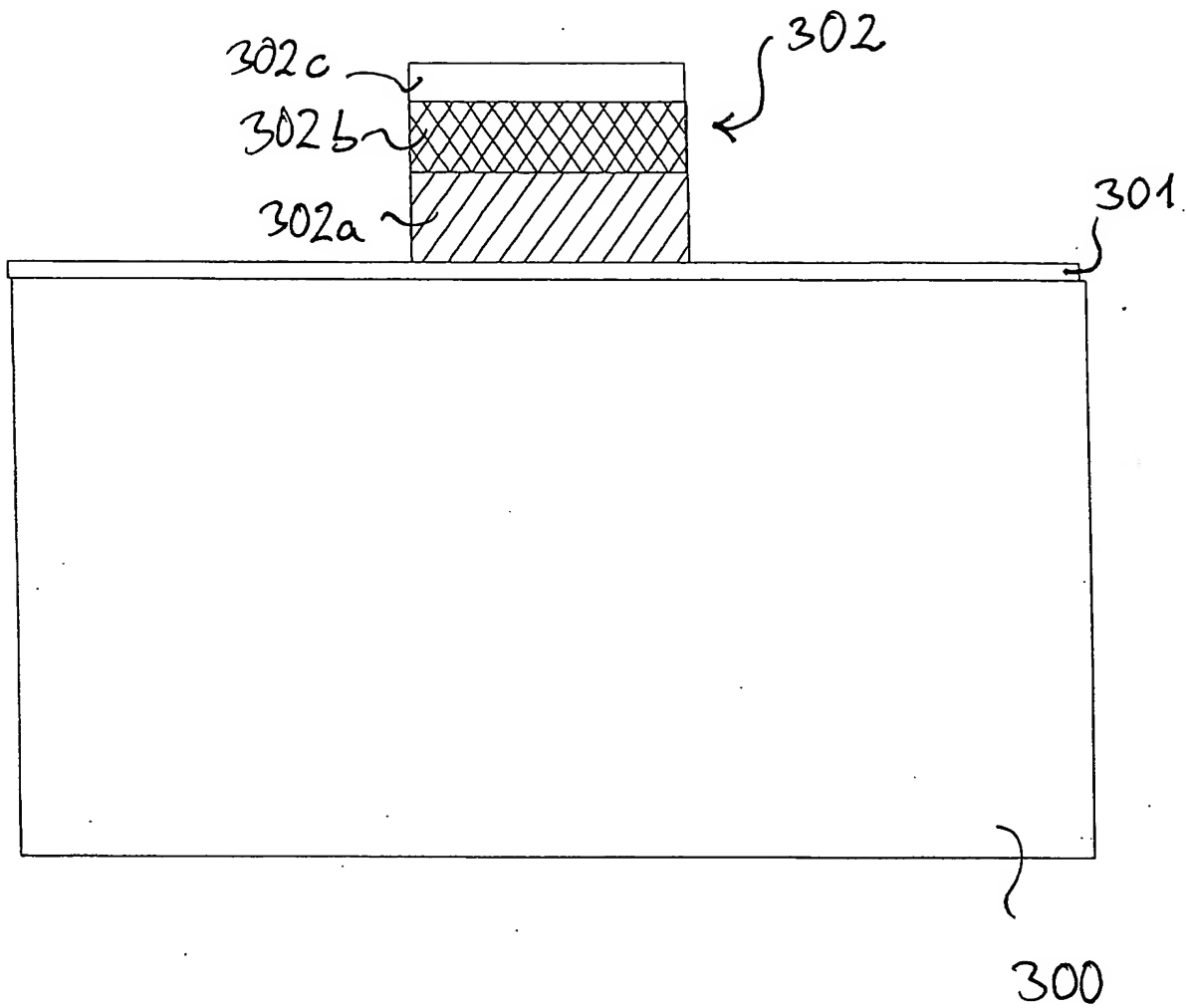


Fig. 3a

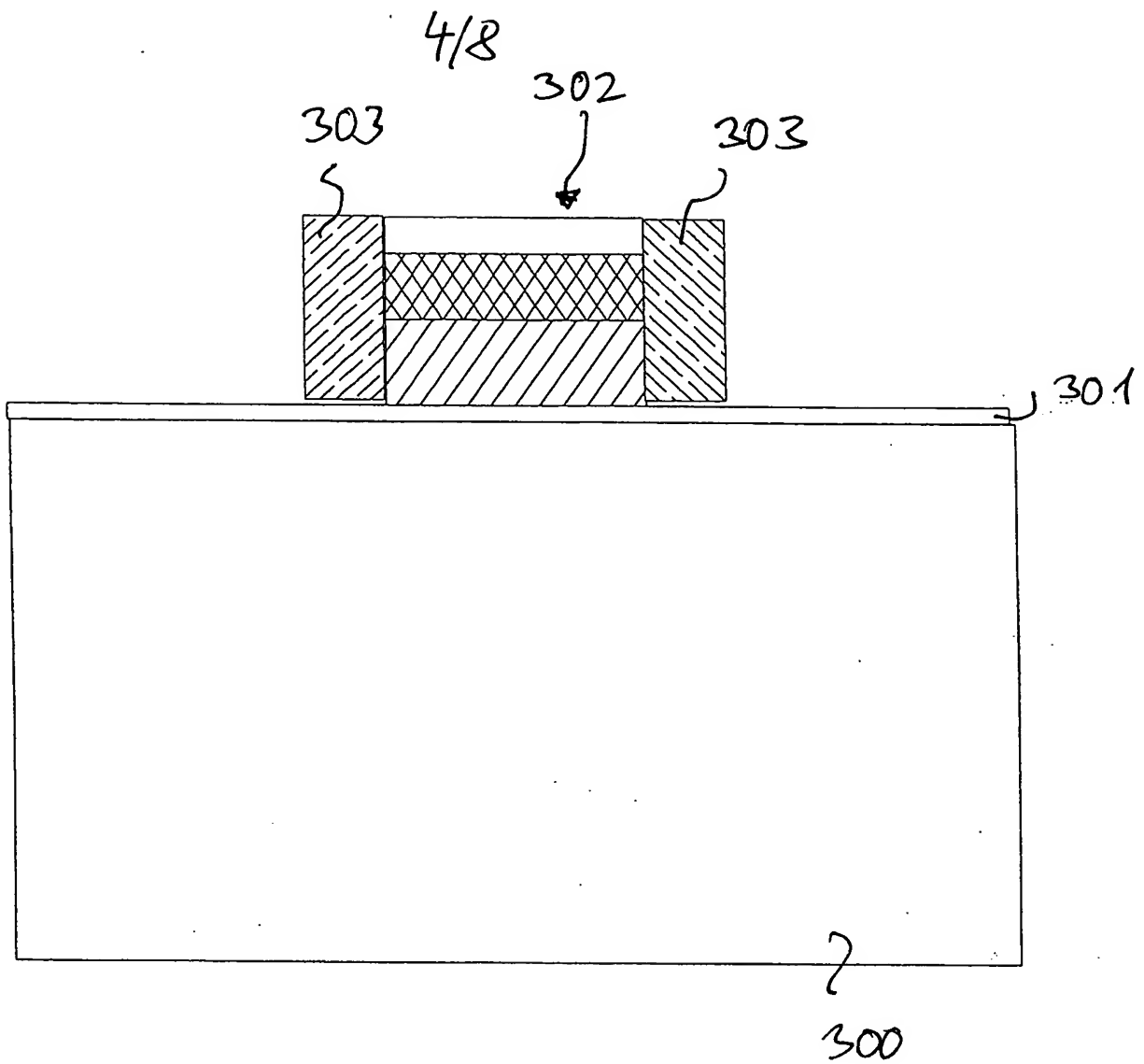


Fig. 3b

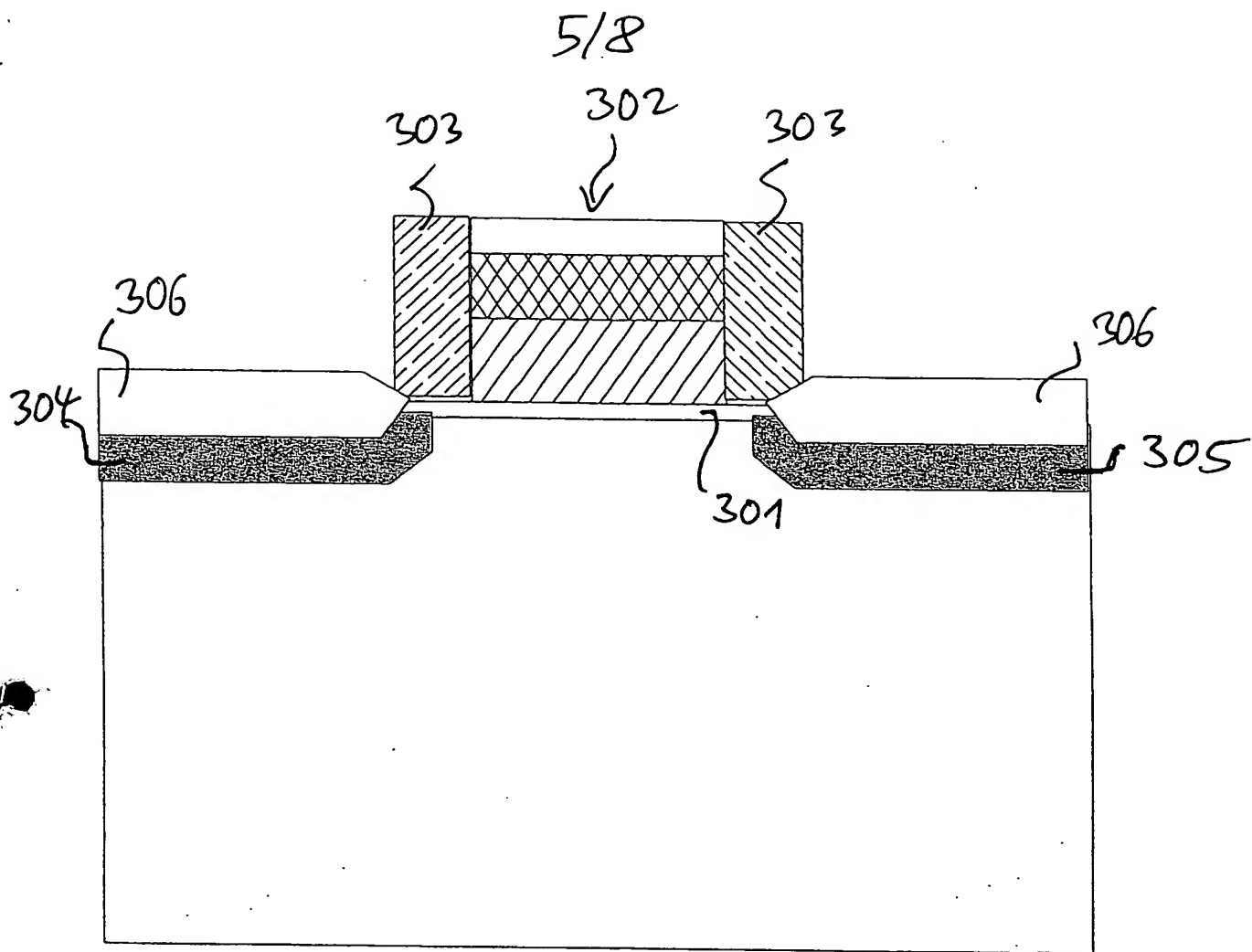


Fig. 3C

6/8

302

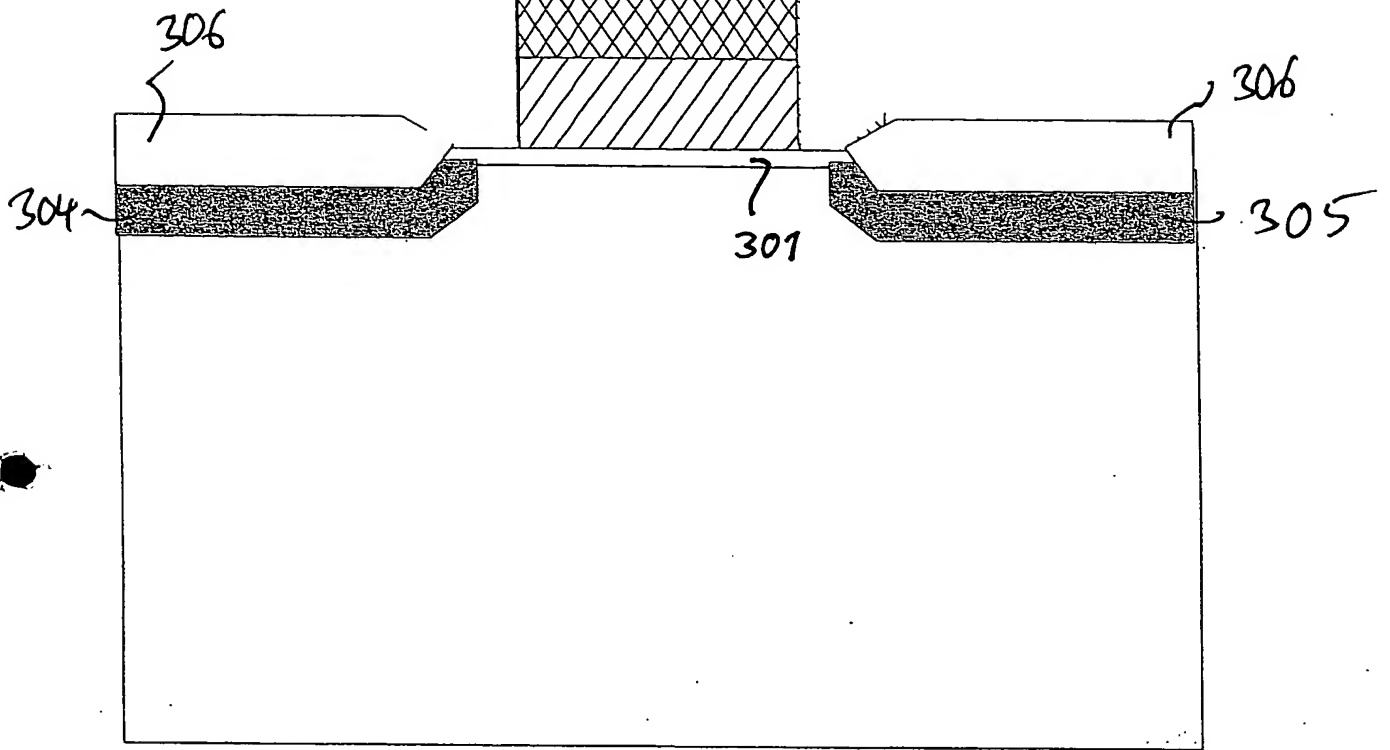


Fig. 3d

7/8

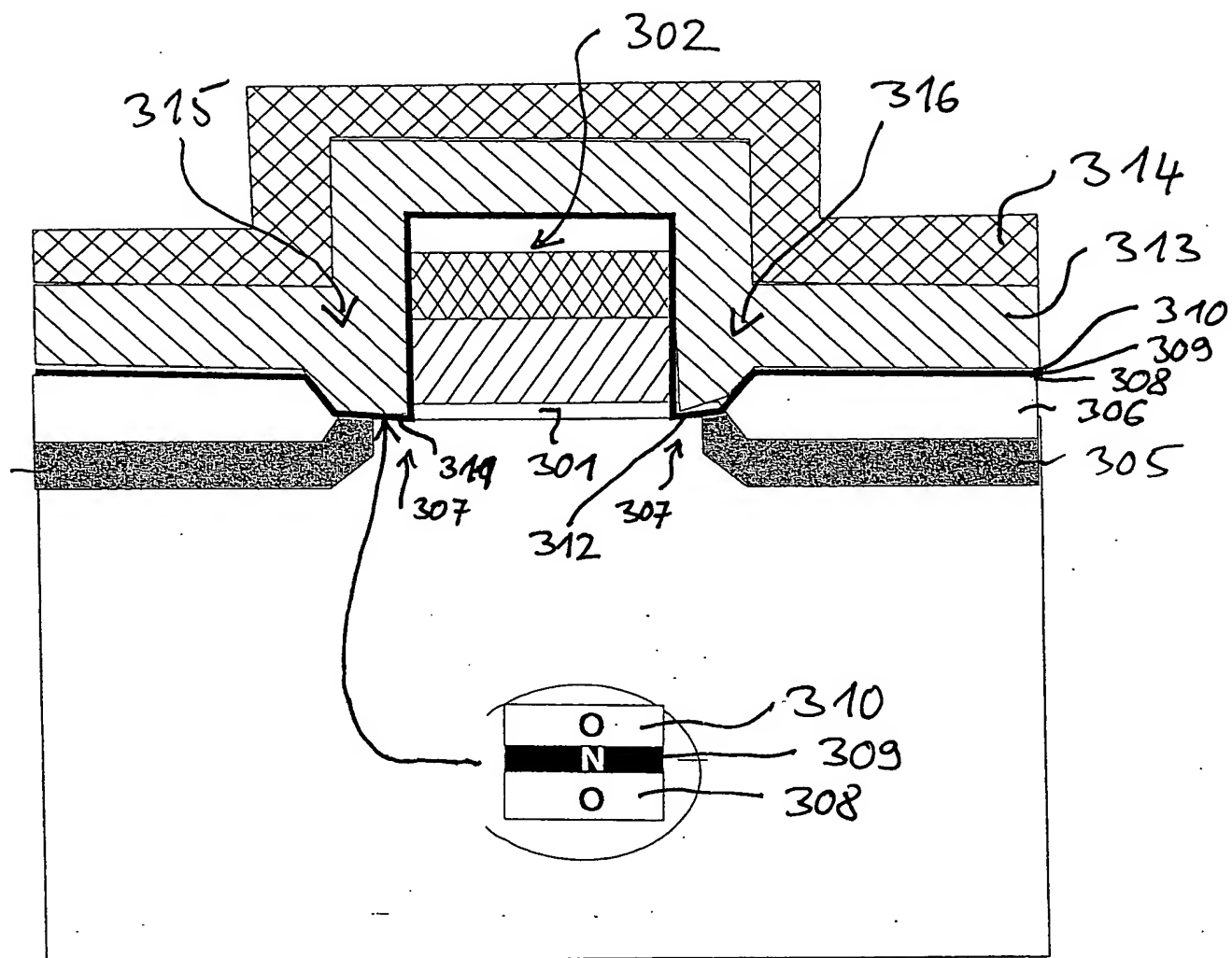


Fig. 3e

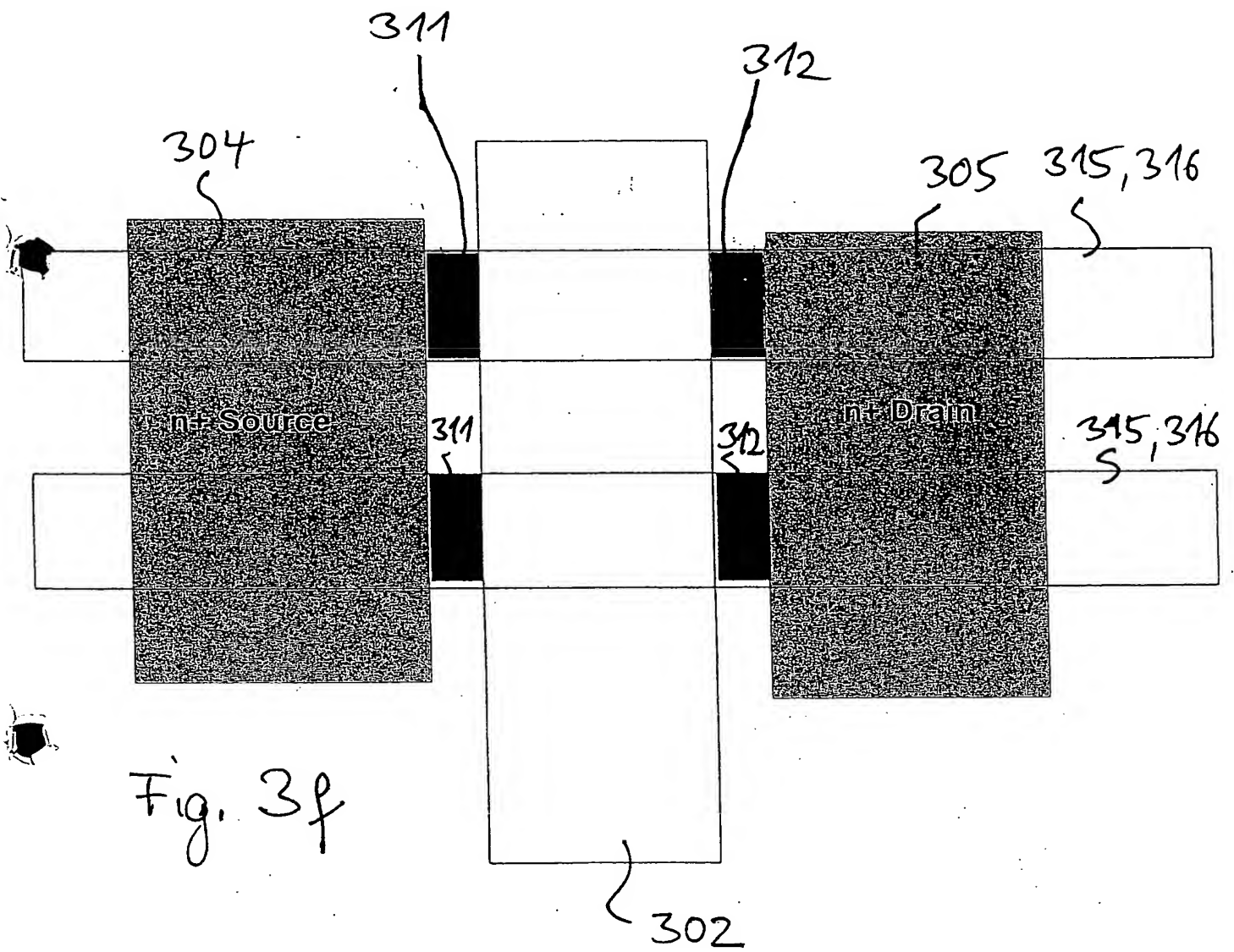


Fig. 3f



Creation date: 03-26-2004

Indexing Officer: LMITCHELL2 - LAK MITCHELL

Team: OIPEScanning

Dossier: 10771239

Legal Date: 03-23-2004

No.	Doccode	Number of pages
1	FRPR	45

Total number of pages: 45

Remarks:

Order of re-scan issued on